

RFP관리번호	2025-반도체·디스플레이-품목공모-07			공모유형	품목공모형	
해당여부	<input checked="" type="checkbox"/> 국가전략기술 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 글로벌 R&D <input type="checkbox"/> 미래소재 <input type="checkbox"/> 전략연구사업(MPX(예정) <input type="checkbox"/> 국방전략기술(예정)					
국책연구기획 평가전문분야1	PM분야	반도체· 디스플레이	RB분야	SI반도체	RB세부분야	뉴로모픽 소자
사업명	원천기술개발사업 - 차세대지능형반도체기술개발(소자)(R&D) - 신소자원천기술개발					
RFP명	자가정류형 시냅스 소자 패시브 어레이 - CMOS 회로 co-optimization 및 검증					
	(TRL : [시작] 4단계 ~ [종료] 5단계)					
RFP유형코드	사업목적·내용	성과물 특성		지원대상	보안과제 분류	일반
	R	1	-	1		
1. 추진배경						
<div> <input type="checkbox"/> 추진배경 <ul style="list-style-type: none"> ○ 패시브 크로스바 어레이 구조를 갖는 시냅스 집적 소자 기반의 analog in memory computing (AIMC) 기술은 신경망 추론 (inference) 및 multiplication and accumulation (MAC) 연산 성능에서 기존 AI 가속기 대비 높은 에너지 효율을 달성할 수 있는 기술임. ○ 패시브 어레이와 CMOS 회로의 집적은 AIMC 기술이 실질적인 상용화 단계에 도달하는데 필수적임. CMOS 회로 기술이 제공하는 공정 성숙도와 높은 집적도, 안정성을 토대로 AIMC의 집적 소자와의 집적을 통해 고효율, 고집적 연산 시스템을 구현할 수 있을 것으로 기대됨. ○ 크로스바 어레이의 구현은 AIMC의 고성능 신경망 연산과 에너지 효율 측면에서 필수적이나, 시냅스 소자의 낮은 신뢰성 및 어레이 구조상의 스니크 전류 등 소자 수준의 기술적 문제들로 인하여 대규모 어레이 및 CMOS 회로와의 집적, 연산 검증 단계로 넘어가지 못하고 있음. ○ 기존 보고된 산소 이온 이동 기반 시냅스 소자 대비 알칼리 이온 이동 기반의 시냅스 소자는 자가정류형 인터페이스 타입 저항 변화 특성에서 스니크 전류의 억제 특성에 더하여 빠른 쓰기 속도와 높은 신뢰성 특성을 가져, 대규모 어레이 구동 측면에서 보다 안정적인 성능을 발휘함. 이에 따라, 자가정류형 인터페이스 타입의 알칼리 이온 이동 기반 시냅스 소자를 바탕으로 하는 대규모 패시브 크로스바 어레이와 CMOS 회로의 집적을 통해 AIMC 성능 검증이 필요한 시점임. ○ 3차원의 고집적 패시브 어레이의 구현과 향후 CMOS 회로와의 적층을 위해서는 원자층 증착 기술 (ALD)를 활용한 패시브 어레이의 적층 기술을 포함하여 개발되어야 함. </div> <div> <input type="checkbox"/> 기획 주안점 <ul style="list-style-type: none"> ○ CMOS 회로 기판과 3차원 시냅스 어레이를 결합한 모노리식 칩의 구현을 위해, co-optimization 및 칩 구동 특성에 대한 실험적 검증이 필수적으로 요구됨. - CMOS 구동 환경에 호환되는 동시에 높은 연산 효율을 갖는 시냅스 어레이, 그리고 이에 적합한 CMOS 회로 설계가 포함되어야 함. </div>						

- CMOS 회로 기판-3차원 시냅스 어레이의 적층 과정에서 발생할 수 있는 공정적·소자적 문제를 고려하고, 이에 대한 연구 전략의 제시가 필요함.
- CMOS 회로와의 정합성을 검증하기 위해, 구현한 3차원 패시브 어레이에서의 동작 수율 및 신뢰성 평가 등에 대한 실험적 검증이 필요함.
- CMOS 회로 기판 상의 모노리식 칩 구현을 위해서는, 높은 안정성을 갖는 자가정류형 알칼리 이온 이동 기반 2단자 시냅스 소자의 3차원 패시브 어레이 형태로의 개발이 필요함.
- 제시하고자 하는 알칼리 이온 이동 기반 시냅스 단위 소자의 소재 장점의 타당성, 동작 가능한 소재군과 구동 원리, 어레이 동작에 대한 실험적 선행결과가 포함되어야 함.
- 3차원 패시브 어레이의 적층 구현을 위해 층간 시냅스 동작 균일도가 확보되는 전극 및 시냅스 박막에 대한 저온 ALD 공정 결과를 포함함.
- 사업단의 최종 목표 및 진행 방향에 대한 본 연구 개발 과제의 수월성을 위해 관련 선행 연구 결과를 기 확보할 필요성이 있음.

2. 연구개발목표

○ 최종 목표 :

- CMOS 회로 기판과 3차원 패시브 시냅스 어레이의 수직 적층 및 co-optimization을 통한 어레이 연산 효율성의 실험적 검증
- 자가정류형 알칼리 이온 이동 기반 2단자 시냅스 소자의 3차원 패시브 어레이 집적 및 다단 적층 기술 개발

○ 세부 목표 :

(1) CMOS 회로-패시브 크로스바 어레이의 집적 및 검증

- CMOS 회로-패시브 크로스바 어레이 집적을 위한 공정, 평가 방안을 연구자가 자율 제시
- 하기의 CMOS 회로-패시브 크로스바 어레이의 연산 효율 특성 목표를 포함하여, co-optimization 및 검증을 위한 평가 특성을 연구자가 자율 제시

※ 패시브 시냅스 어레이 - CMOS 회로 co-optimization 및 검증			
항목	단위	목표	비고
어레이 연산 성능	TOPS/W	> 500	-
CMOS 회로 동작 주파수	Hz	> 10M	

(2) CMOS 회로 기판 상의 자가정류형 알칼리 이온 기반 시냅스 크로스바 어레이 집적 및 3차원 다단 적층 기술 개발

- 알칼리 이온 기반 2단자 시냅스 단위 소자의 ALD 공정 기반의 알칼리 화합물 소재, 소자 구조 등을 하기의 패시브 시냅스 어레이 소자 특성 목표를 포함하여, 연구자가 자율 제시
- 크로스바 어레이의 3차원 적층에 대한 방안을 연구자가 자율 제시

- 3차원 크로스바 어레이의 실험적 검증 시, 제시된 크로스바 어레이 내 모든 셀이 개별적으로 access가 가능해야 함. 따라서, 해당 어레이의 동작 수율 및 신뢰성 검증은 집적 소자 내 개별 셀들의 전수 조사를 통한 실험적 데이터의 정량화를 반드시 수반해야 함.

※ 2단 적층 8K 규모의 패시브 시냅스 어레이 소자 특성			
항목	단위	목표	비고
공정온도	℃	< 250	-
두께 균일도	%	> 95	-
동작 전류	μA	< 1	DC writing
동작 전압	V	< 2	DC writing
Multi-bit 동작	state	> 256	Analog (단일전위)
Device-to-device 산포 ¹⁾	%	< 5	>20 cells
Retention	초	> 1E4	85 °C
Endurance	회	> 1E10	상온 (자가정류형 소자 기준)
Array size	Kbit	> 8	-
산포도 ²⁾	%	< 10	DC 기준
동작 수율	%	> 95	DC 기준

¹⁾ Device-to-device 산포: Device-to-device 산포는 crossbar array 각 셀 간의 I-V 동작 특성 산포를 의미함

²⁾ 산포도: 산포도는 crossbar array 하나의 셀 내에서 반복적인 동작에 따른 I-V 특성 산포를 의미함

[참고] 국내외 관련 기술 주요 성능지표

평가 항목 (주요 성능)	단위	세계 최고수준	연구개발 전 국내 수준	목표설정 근거	
		성능수준	성능수준		
공정온도	℃	250	250	Nat. Commun. [2021]	
동작 전류	μA	0.1	0.1	Nat. Commun. [2021]	
동작 전압	V	3	3	Nat. Commun. [2021]	
Multi-bit 동작	state	256	256	ACS Nano [2024]	
Device-to-device 산포 ¹⁾	%	6	6	Nat. Commun. [2024]	
Retention	초	> 1E4 (@125 °C)	> 1E4 (@125 °C)	ACS Nano [2024]	
Endurance	회	> 1E7	> 1E6	IEDM [2017]	Nat. Commun. [2021]
Array size	Kbit	4	4	Nat. Commun. [2021]	
산포도 ²⁾	%	5	5	Nat. Commun. [2021]	
동작 수율	%	99	99	Nat. Commun. [2021]	
연산 성능	TOPS/W	51.4 (1T1R, 8bit precision)	-	ISSCC [2023]	

3. 성과목표

- CMOS 회로 기판과 3차원 패시브 시냅스 어레이의 수직 적층 집적 소자 간의 co-optimization 및 동작 검증을 통해 CMOS 구동 환경에서의 시냅스 어레이 연산 효율성 검증
- CMOS 회로 기판 상의 자가정류형 알칼리 이온 이동 기반 2단자 시냅스 소자의 3차원 패시브 크로스바 어레이 집적 및 다단 적층 기술 개발
- 국내·외 특허 출원 및 등록 자율 제시(국가 R&D 연구비 10억당 출원 4건/등록 2건 내외 수준 고려)
 - 출원 및 등록 특허는 기여율이 50% 이상인 특허에 한하여 성과를 인정함 (단계, 최종평가위원회 검토사항)
- SCI(E)급 논문 게재 건수 자율 제시(국가 R&D 연구비 10억당 5편 내외 수준 고려)
 - 게재 논문은 기여율 50% 이상인 논문에 한하여 성과를 인정함 (단계, 최종평가위원회 검토사항)
- JCR 상위 10% 이내 논문 게재 건수 자율 제시
- 본 과제를 통한 석·박사 배출 예상 인원 자율 제시

4. 지원기간/예산/추진체계

- 연구개발기간: '25.4.~'27.12. (총 33개월 내외)
- 정부지원연구개발비: 총 2,649백만원 내외 ('25년 723백만원 내외)

총 연구기간('25.4.~'27.12. / 33개월)		
1차년도	2차년도	3차년도
'25.4.~'25.12.	'26.1.~'26.12.	'27.1.~'27.12.
723백만원	963백만원	963백만원

※ 연차별 연구비 규모 및 연구기간은 정부예산 사정에 따라 변경 가능

- 선정 과제 수: 1개 과제 (단위과제 - 공동 또는 단독)
- 과제형태: (일반)연구개발과제
- 주관연구개발기관: 대학/출연(연)/기업부설연구소 등
- 기술료 징수여부: 징수

5. 특기사항

- 실제 제출하는 과제명은 연구자의 아이디어가 포함될 수 있는 제목으로 연구계획서 제출
- 과제 목표에 부합하도록 소재 및 소자, 회로구현을 위한 연차별 통합추진체계를 구체적으로 제시
- 제안서 상에 제시된 소자에 대한 선행개발 이력 및 결과 제시 필요

○ 다음 사항을 연구계획서에 제시 필요

- 제안된 소자 및 시스템 아키텍처에 대한 구성도(단위 블록별 H/W, S/W 파트 명기)
- 개발한 최종 결과물에 대한 실험적 검증 내용(방향성 및 범위 제시)
- 전력효율(Power efficiency)에 대한 지표 및 목표산출과정 제시
- 최종 결과물을 기반으로 실제 응용 가능한 시스템/어플리케이션 등 활용 방안 1종 이상